

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-344976

(43)Date of publication of application : 14.12.2001

(51)Int.Cl.

G11C 11/409

G11C 11/41

G11C 11/401

G11C 16/06

H01L 21/82

H01L 27/04

H01L 21/822

(21)Application number : 2000-167097

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.06.2000

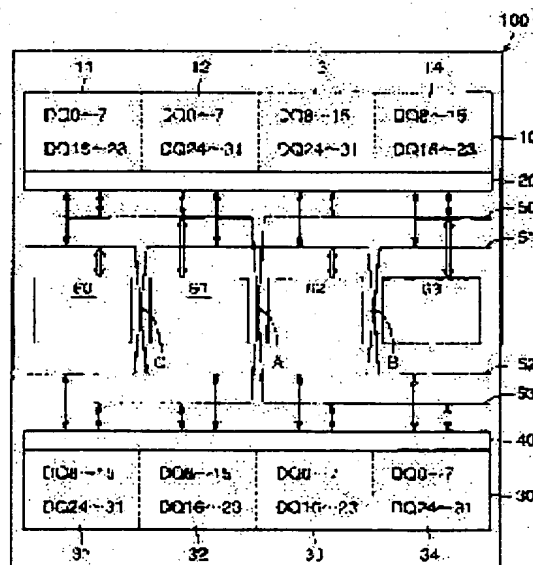
(72)Inventor : YAMAUCHI TADAAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit in which the occupancy area of a data bus is small.

SOLUTION: A semiconductor storage device 100 comprises a first bank 10, a first input/output circuit 20, a second bank 30, a second input/output circuit 40, data buses 50-53, and a plurality of circuits 60-63. The first and the second banks 10, 30 are divided respectively into four blocks 11-14, 31-34, groups of data buses consisting of data buses 50-53 for inputting/outputting data in/from a memory cell included in each block are intersected respectively at points A, B, and C between adjacent circuits out of a plurality of circuits 60-63.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-344976

(P2001-344976A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)	
G 1 1 C	11/409	G 1 1 C 11/34	3 5 4 R	5 B 0 1 5
	11/41		3 0 1 E	5 B 0 2 4
	11/401		3 4 5	5 B 0 2 5
	16/06		3 7 1 K	5 F 0 3 8
H 0 1 L	21/82	17/00	6 3 1	5 F 0 6 4
審査請求 未請求 請求項の数10 O L (全 13 頁) 最終頁に続く				

(21) 出願番号 特願2000-167097 (P2000-167097)

(22) 出願日 平成12年6月5日 (2000. 6. 5)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 山内 忠昭

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

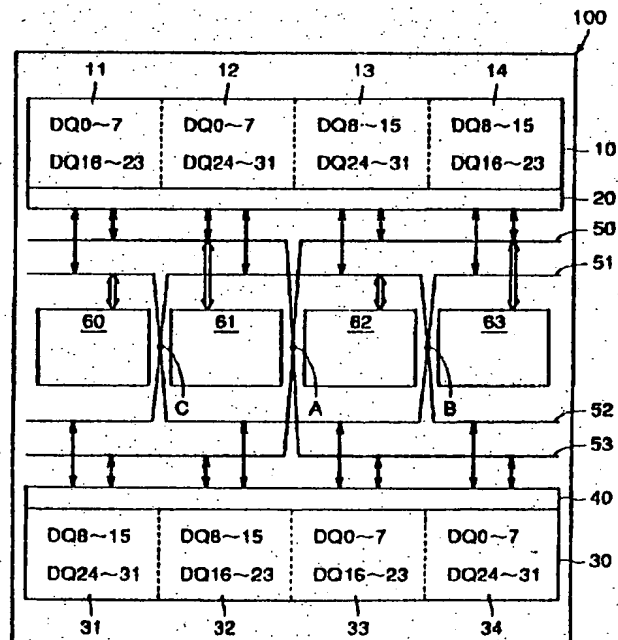
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 データバスの占有面積の小さい半導体集積回路を提供する。

【解決手段】 半導体記憶装置100は、第1のバンク10と、第1の入出力回路20と、第2のバンク30と、第2の入出力回路40と、データバス50〜53と、複数の回路60〜63とを含み、第1および第2のバンク10、30を、それぞれ、4つのブロック11〜14、31〜34に分割し、各ブロックに含まれるメモリセルにデータを入出力するためのデータバス50〜53から成るデータバス群を複数の回路60〜63のうち、隣接する2つの間であるA、B、C点で交差させる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 複数のメモリセルを有し、独立に駆動できる第1および第2のバンクと、

前記第1のバンクに含まれる複数のメモリセルにデータを書込み／読出しを行なう第1の入出力回路と、

前記第2のバンクに含まれる複数のメモリセルにデータを書込み／読出しを行なう第2の入出力回路と、

前記第1のバンクと前記第2のバンクとの間に配置され、前記第1および第2の入出力回路と接続されたデータバス群と、

前記第1のバンクと前記第2のバンクとの間に配置され、前記データバス群とデータのやり取りを行なう複数の回路とを含み、

前記データバス群は、前記複数の回路のうち隣接する2つの間で交差している半導体集積回路。

【請求項2】 前記データバス群は、前記第1および第2のバンクを分割したブロック数に基づいて決定される数の交差点を有する請求項1に記載の半導体集積回路。

【請求項3】 前記データバス群は、前記第1および第2のバンクを分割したブロック数と同じ数のデータバスから成り、各データバスは、前記第1および第2のバンクの分割されたブロックに対応付けられている請求項1に記載の半導体集積回路。

【請求項4】 複数のメモリセルを有し、独立に駆動できる第1および第2のバンクと、

前記第1のバンクと前記第2のバンクとの間に配置され、前記第1および第2のバンクに含まれる複数のメモリセルにデータを選択的に書込み／読出しを行なう入出力回路と、

前記入出力回路を介してデータの入出力を行なうデータバスを含む半導体集積回路。

【請求項5】 前記入出力回路は、

前記第1または第2のバンクに含まれるメモリセルからのデータを増幅する増幅回路と、

前記増幅回路により増幅されたデータを前記データバスへ出力するドライバと、

前記データバスからのデータを前記第1または第2のバンクに含まれる複数のメモリセルにデータを入力するバッファと、

前記第1のバンクまたは前記第2のバンクに選択的に接続するスイッチとを含む、請求項4に記載の半導体集積回路。

【請求項6】 一方端が前記第1のバンクに接続され、他方端が前記スイッチに接続された第1の入出力線対と、

一方端が前記第2のバンクに接続され、他方端が前記スイッチに接続された第2の入出力線対とをさらに含む、請求項5に記載の半導体集積回路。

【請求項7】 第1のデータバス対と、

前記第1のデータバス対に隣接して設けられた第2のデータバス対と、

第1のメモリセルアレイからのデータを前記第1のデータバス対に出力する第1のバสดライバと、

第2のメモリセルアレイからのデータを前記第2のデータバス対に出力する第2のバสดライバと、

前記第1のデータバス対間に設けられ、前記第2のバสดライバにより前記第2のデータバス対にデータが出力されたとき、前記第2のデータバス対からのカップリングにより前記第1のデータバス対の一方のデータバスの電位が上昇するのを防止する第1の電位上昇防止回路と、

前記第2のデータバス対間に設けられ、前記第1のバสดライバにより前記第1のデータバス対にデータが出力されたとき、前記第1のデータバス対からのカップリングにより前記第2のデータバス対の一方のデータバスの電位が上昇するのを防止する第2の電位上昇防止回路とを含む半導体集積回路。

【請求項8】 前記第1の電位上昇防止回路は、前記第1のバสดライバの駆動に連動して駆動され、前記第2の電位上昇防止回路は、前記第2のバสดライバの駆動に連動して駆動される、請求項7に記載の半導体集積回路。

【請求項9】 前記第1および第2の電位上昇防止回路は、所定の間隔毎に設けられる、請求項7に記載の半導体集積回路。

【請求項10】 前記第1のバสดライバを駆動する第1のバสดライバ駆動信号を一定量遅延させた第1のバสดライバ遅延信号と、前記第2のバสดライバを駆動する第2のバสดライバ駆動信号を一定量遅延させた第2のバสดライバ遅延信号とを生成する遅延回路をさらに含む、

前記第1の電位上昇防止回路は、前記第1のバสดライバ遅延信号により駆動され、

前記第2の電位上昇防止回路は、前記第2のバสดライバ遅延信号により駆動される、請求項7に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体集積回路に関し、特に、データバスの占有面積を小さくできる半導体集積回路に関するものである。

【0002】

【従来の技術】 従来の半導体集積回路におけるデータバスの構成は図10に示すようになっていた。半導体集積回路600は、第1のバンク610と、第1の入出力回路640と、第2のバンク650と、第2の入出力回路660と、データバス690、700と、回路710、720とを備える。第1のバンク610は第1のブロック620と第2のブロック630とに分割されており、

第2のバンク650は第1のブロック670と第2のブロック680とに分割されている。第1のバンク610の第1のブロック620と第2のバンク650の第2のブロック680には、入出力端子DQ0～7を介してデータを入出力するメモリセルが含まれており、第1のバンク610の第2のブロック630と第2のバンク650の第1のブロック670には、入出力端子DQ8～15を介してデータを入出力するメモリセルが含まれている。

【0003】第1および第2の入出力回路640、660は、増幅回路(PA)と、ライトバッファ(WB)と、リードドライバ(RDRV)とから成る。増幅回路(PA)は、第1および第2のバンク610、650の第1および第2のブロック620、630、670、680に含まれるメモリセルから読出されたデータを増幅する。リードドライバ(RDRV)は、増幅回路(PA)で増幅されたデータをデータバス690、700に出力する。ライトバッファ(WB)は、各入出力端子DQ0～15から入力されたデータをデータバス690、700を介して受取り、その受取ったデータを第1および第2のバンク610、650の第1および第2のブロック620、630、670、680に含まれるメモリセルに書込む。回路710、720は、パッドまたは入出力インターフェース回路から構成されている。

【0004】データバス690は、入出力端子DQ8～15を介してデータを入出力するメモリセルと接続されており、データバス700は、入出力端子DQ0～7を介してデータを入出力するメモリセルと接続されている。したがって、データバス700は、第1のバンク610の第1のブロック620に沿って配置され、回路710と回路720との間の点Aを通して第2のバンク650の第2のブロック680に沿って配置される。また、データバス690は、第2のバンク650の第1のブロック670に沿って配置され、回路710と回路720との間の点Aを通して第1のバンク610の第2のブロック630に沿って配置される。

【0005】データバス690、700は、各々8ビットのデータを伝達するため、図11に示すように8つのデータバス対DB0、/DB0～DB7、/DB7から構成されている。そして、データバス690とデータバス700とは1つの点Aで交差する。

【0006】

【発明が解決しようとする課題】半導体集積回路600では入出力端子DQの個数が16個の場合を示したが、入出力端子DQの個数が16個以上に増加した場合、データバスが1つの点で交差する従来のデータバスの構成では、データバスの占有面積が大きくなるという問題がある。

【0007】また、データバスの占有面積を小さくするためにデータバス間の間隔を狭くすると、図11に示す

ように隣接するデータバス対間で結合容量によるノイズが発生し、データを正確にメモリセルに入出力できないという問題がある。

【0008】そこで、本発明はかかる問題を解決するためになされたものであり、その目的は、データバスの占有面積を小さくできる半導体集積回路を提供することにある。

【0009】また、この発明の他の目的は、隣接するデータバスからのノイズを抑えることができる半導体集積回路を提供することにある。

【0010】

【課題を解決するための手段】この発明による半導体集積回路は、複数のメモリセルを有し、独立に駆動できる第1および第2のバンクと、第1のバンクに含まれる複数のメモリセルにデータを書込み/読出しを行なう第1の入出力回路と、第2のバンクに含まれる複数のメモリセルにデータを書込み/読出しを行なう第2の入出力回路と、第1のバンクと第2のバンクとの間に配置され、第1および第2の入出力回路と接続されたデータバス群と、第1のバンクと第2のバンクとの間に配置され、データバス群とデータのやり取りを行なう複数の回路とを含み、データバス群は、複数の回路のうち隣接する2つの間で交差している。

【0011】この発明による半導体集積回路においては、メモリセルから読出されたデータを出力するためのデータバス群は、第1のバンクと第2のバンクとの間に配置された複数の回路の隣接する2つの間で交差しており、各交差点においては少ない本数のデータバスが交差する。したがって、交差点においてデータバスが占める面積を抑えることができる。

【0012】好ましくは、データバス群は、第1および第2のバンクを分割したブロック数に基づいて決定される数の交差点を有する。

【0013】バンクを分割したブロック数が多い場合、交差点が多くなり、データバス群を構成する各データバスは、交差点において小さい面積を占める。したがって、各交差点においてデータバスが占める面積を抑えることができる。

【0014】好ましくは、データバス群は、第1および第2のバンクを分割したブロック数と同じ数のデータバスから成り、各データバスは、第1および第2のバンクの分割されたブロックに対応付けられている。

【0015】バンクを分割したブロック数が多い場合、データバス群は多くのデータバスから構成され、各データバスは異なる交差点で交差する。したがって、各交差点において各データバスが占める面積を抑えることができる。

【0016】また、この発明による半導体集積回路は、複数のメモリセルを有し、独立に駆動できる第1および第2のバンクと、第1のバンクと第2のバンクとの間に

配置され、第1および第2のバンクに含まれる複数のメモリセルにデータを選択的に書込み/読出しを行なう入出力回路と、入出力回路を介してデータの入出力を行なうデータバスとを含む。

【0017】この発明による半導体集積回路においては、共通の入出力回路により第1のバンクに含まれる複数のメモリセルおよび第2のバンクに含まれる複数のメモリセルに選択的にデータを入出力する。したがって、共通の入出力回路に接続するデータバスの本数を最小にできる。その結果、データバスが占める面積を抑えることができる。

【0018】好ましくは、入出力回路は、第1または第2のバンクに含まれるメモリセルからのデータを増幅する増幅回路と、増幅回路により増幅されたデータをデータバスへ出力するドライバと、データバスからのデータを第1または第2のバンクに含まれる複数のメモリセルにデータを入力するバッファと、第1のバンクまたは第2のバンクに選択的に接続するスイッチとを含む。

【0019】メモリセルからのデータをデータバスに出力する増幅回路とドライバ、およびデータバスからのデータをメモリセルに入力するバッファは、スイッチにより第1のバンクまたは第2のバンクと選択的に接続される。したがって、入出力回路には最小のデータバスを接続すれば良く、データバスの設置に必要な面積を抑えることができる。

【0020】さらに、好ましくは、半導体集積回路は、一方端が第1のバンクに接続され、他方端がスイッチに接続された第1の入出力線対と、一方端が第2のバンクに接続され、他方端がスイッチに接続された第2の入出力線対とをさらに含む。

【0021】第1および第2のバンクに含まれるメモリセルからのデータは第1および第2の入出力線対を介してスイッチまで伝達される。そして、第1の入出力線対を伝達したデータまたは第2の入出力線対を伝達したデータがスイッチにより増幅回路、およびドライバに選択的に入力され、増幅されてデータバスに出力される。また、データバスからのデータはバッファを介してスイッチまで伝達され、スイッチにより第1の入出力線対または第2の入出力線対に選択的に入力され、第1のバンクに含まれるメモリセルまたは第2のバンクに含まれるメモリセルにデータが書込まれる。したがって、入出力回路には最小のデータバスを接続すれば良く、データバスの設置に必要な面積を抑えることができる。

【0022】また、この発明による半導体集積回路は、第1のデータバス対と、第1のデータバス対に隣接して設けられた第2のデータバス対と、第1のメモリセルアレイからのデータを第1のデータバス対に出力する第1のバスドライバと、第2のメモリセルアレイからのデータを第2のデータバス対に出力する第2のバスドライバと、第1のデータバス対間に設けられ、第2のバスドラ

イバにより第2のデータバス対にデータが出力されたとき、第2のデータバス対からのカップリングにより第1のデータバス対の一方のデータバスの電位が上昇するのを防止する第1の電位上昇防止回路と、第2のデータバス対間に設けられ、第1のバスドライバにより第1のデータバス対にデータが出力されたとき、第1のデータバス対からのカップリングにより第2のデータバス対の一方のデータバスの電位が上昇するのを防止する第2の電位上昇防止回路とを含む。

【0023】この発明による半導体集積回路においては、隣接する2つのデータバス対があり、一方のデータバス対にメモリセルからのデータが出力され、データバス対に電位差が生じた場合、電位が高いデータバスに隣接する他方のデータバス対の電位がカップリングにより上昇するのを電位上昇防止回路により防止する。したがって、隣接する2つのデータバス間を狭くしてもカップリングによる電位上昇を防止できる。その結果、データバスの設置面積を抑えることができる。

【0024】好ましくは、第1の電位上昇防止回路は、第1のバスドライバの駆動に連動して駆動され、第2の電位上昇防止回路は、第2のバスドライバの駆動に連動して駆動される。

【0025】メモリセルからのデータをデータバスに出力すると同時に第1または第2の電位上昇防止回路が駆動されるので、データをデータバスに正確に出力できる。

【0026】好ましくは、第1および第2の電位上昇防止回路は、所定の間隔毎に設けられる。

【0027】隣接したデータバス対との間隔が狭く、長いデータバス対を設置してもカップリングによる電位上昇が防止される。したがって、小さい面積で多くのデータバス対を設置できる。

【0028】好ましくは、第1のバスドライバを駆動する第1のバスドライバ駆動信号を一定量遅延させた第1のバスドライバ遅延信号と、第2のバスドライバを駆動する第2のバスドライバ駆動信号を一定量遅延させた第2のバスドライバ遅延信号とを生成する遅延回路をさらに含み、第1の電位上昇防止回路は、第1のバスドライバ遅延信号により駆動され、第2の電位上昇防止回路は、第2のバスドライバ遅延回路により駆動される。

【0029】メモリセルからのデータをデータバス対に出力する第1および第2のバスドライバが駆動して一定時間を経た後に第1および第2の電位上昇防止回路が駆動される。したがって、データバス対の低電位側のデータバスにHレベルのスパイクノイズがのった場合にも第1および第2の電位上昇防止回路の誤動作を防止できる。

【0030】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一

または相当部分には同一符号を付してその説明は繰返さない。

【0031】〔実施の形態1〕本発明の実施の形態1による半導体集積回路について説明する。図1を参照して、この発明による半導体集積回路100は、第1のバンク10と、第1の入出力回路20と、第2のバンク30と、第2の入出力回路40と、データバス50～53と、複数の回路60～63とを備える。第1のバンク10は、第1のブロック11、第2のブロック12、第3のブロック13、および第4のブロック14に分割されている。そして、第1のブロック11には、入出力端子DQ0～7、およびDQ16～23を介してデータが入出力されるメモリセルが含まれ、第2のブロック12には、入出力端子DQ0～7、およびDQ24～31を介してデータが入出力されるメモリセルが含まれ、第3のブロック13には、入出力端子DQ8～15、およびDQ24～31を介してデータが入出力されるメモリセルが含まれ、第4のブロック14には、入出力端子DQ8～15、およびDQ16～23を介してデータが入出力されるメモリセルが含まれる。

【0032】また、第2のバンク30は、第1のブロック31、第2のブロック32、第3のブロック33、および第4のブロック34に分割されている。そして、第1のブロック31には、入出力端子DQ8～15、およびDQ24～31を介してデータが入出力されるメモリセルが含まれ、第2のブロック32には、入出力端子DQ8～15、およびDQ16～23を介してデータが入出力されるメモリセルが含まれ、第3のブロック33には、入出力端子DQ0～7、およびDQ16～23を介してデータが入出力されるメモリセルが含まれ、第4のブロック34には、入出力端子DQ0～7、およびDQ24～31を介してデータが入出力されるメモリセルが含まれる。

【0033】第1のバンク10に隣接して第1の入出力回路20が設けられ、第2のバンク30に隣接して第2の入出力回路40が設けられている。第1のバンク10と第2のバンク30との間には複数の回路60～63が配置され、複数の回路60～63と第1のバンク10との間、および複数の回路60～63と第2のバンク30との間にデータバス50～53が配置されている。データバス50とデータバス53とはA点で交差し、データバス51とデータバス52とはB点およびC点で交差する。また、データバス50は、入出力端子DQ8～15を介してデータを入出力するメモリセル用のデータバスであり、データバス51は、入出力端子DQ16～23を介してデータを入出力するメモリセル用のデータバスであり、データバス52は、入出力端子DQ24～31を介してデータを入出力するメモリセル用のデータバスであり、データバス53は、入出力端子DQ0～7を介してデータを入出力するメモリセル用のデータバスであ

る。したがって、データバス50は、第2のバンク30の第1および第2のブロック31、32に沿って配置され、回路61と回路62との間のA点を通して第1のバンク10の第3および第4のブロック13、14に沿って配置される。また、データバス51は、第1のバンク10の第1のブロック11に沿って配置され、回路60と回路61との間のC点を通して第2のバンク30の第2および第3のブロック32、33に沿って配置され、回路62と回路63との間のB点を通して第1のバンク10の第4のブロック14に沿って配置される。さらに、データバス52は、第2のバンク30の第1のブロック31に沿って配置され、回路60と回路61との間のC点を通して第1のバンク10の第2および第3のブロック12、13に沿って配置され、回路62と回路63との間のB点を通して第2のバンク30の第4のブロック34に沿って配置される。またさらに、データバス53は、第1のバンク10の第1および第2のブロック11、12に沿って配置され、回路61と回路62との間のA点を通して第2のバンク30の第3および第4のブロック33、34に沿って配置される。その結果、データバス50～53から成るデータバス群は、第1および第2のバンク10、30を4分の1に分割した位置に存在するA、B、C点の3点で交差する。

【0034】なお、データバス50～53の各々は、8ビットのデータを入出力端子とやり取りするものであるため、8つのデータバス対から成る。

【0035】第1の入出力回路20は、第1のバンク10の各ブロック11～14に含まれるメモリセルからのデータをデータバス50～53へ出力し、また、データバス50～53からのデータを第1のバンク10の各ブロック11～14に含まれるメモリセルに入力する。同様に、第2の入出力回路40は、第2のバンク30の各ブロック31～34に含まれるメモリセルからのデータをデータバス50～53へ出力し、また、データバス50～53からのデータを第2のバンク30の各ブロック31～34に含まれるメモリセルに入力する。

【0036】回路60～63の各々は、パッド、入出力バッファ、入出力インターフェース回路から成るものであり、データバス51は回路60と接続され、データバス53は回路61と接続され、データバス52は回路62と接続され、データバス50は回路63と接続される。

【0037】第1のバンク10の第1のブロック11に含まれるメモリセルのうち、入出力端子DQ0～7を介してデータを入出力するメモリセルから読出されたデータは第1の入出力回路20によりデータバス53に出力され、データバス53上を伝達され、回路61の入出力インターフェース回路を介して入出力端子DQ0～7から出力される。また、回路61の入出力端子DQ0～7から入力されたデータは、入出力インターフェース、お

よび入出力バッファを介してデータバス53に入力され、第1の入出力回路20により第1のバンク10の第1のブロック11に含まれるメモリセルのうち、入出力端子DQ0～7を介してデータを入出力するメモリセルに書込まれる。他のブロック12, 13, 14, 31, 32, 33, 34に含まれるメモリセルに対するデータの入出力も上述したのと同様に行なわれる。

【0038】半導体集積回路100は、32個の入出力端子を有する集積回路であり、第1および第2のバンク10, 30は、それぞれ、4つのブロックに分割されているため、4つのデータバス50, 51, 52, 53を用いてデータが入出力される。すなわち、バンクを分割したブロック数に等しいデータバスを用いて各ブロック11～14, 31～34のメモリセルにデータが入出力される。

【0039】第1のバンク10と第2のバンク30との間にパッド、入出力インターフェース等から成る回路60～63が存在する場合には、データバス50～53を複数のA, B, C点で交差させることにより各点で交差するデータバスの数を少なくでき、データバスの占有面積を小さくできる。その結果、パッドや入出力インターフェース等の回路帯を効率良く配置できる。

【0040】図2を参照して、半導体集積回路100Aは、第1のバンク10Aと、第1の入出力回路20Aと、第2のバンク30Aと、第2の入出力回路40Aと、データバス50A～58Aと、複数の回路60A～67Aとを備える。第1のバンク10Aは、第1のブロック11A、第2のブロック12A、第3のブロック13A、第4のブロック14A、第5のブロック15A、第6のブロック16A、第7のブロック17A、および第8のブロック18Aに分割されている。第2のバンク30Aは、第1のブロック31A、第2のブロック32A、第3のブロック33A、第4のブロック34A、第5のブロック35A、第6のブロック36A、第7のブロック37A、および第8のブロック38Aに分割されている。半導体集積回路100Aは、128個の入出力端子DQ0～127を有するものであり、第1および第2のバンク10A, 30Aを8つのブロックに分割したものである。したがって、第1および第2のバンク10A, 30Aを分割したブロック数と同じ数のデータバスが存在し、データバス50A～57Aの各々は16ビットのデータを伝達する。

【0041】第1および第2のバンク10A, 30Aを8つのブロック数に分割した場合は、8つの回路60A～67Aと8つのデータバス50A～57Aとが存在し、データバス50A～57Aから成るデータバス群は、8つの回路60A～67Aのうち、隣接する2つの間で交差してデータバス50A～57Aの各々が配置される。回路60A～67Aは、半導体集積回路100の回路60～63と同じ構成から成る。

【0042】半導体集積回路100Aにおいては、データバス50A～57Aから成るデータバス群は、第1および第2のバンク10A, 30Aの8分の1の位置で交差する。データバス50A～57Aの配置方法、データバス50A～57Aと各ブロック11A～18A, 31A～38Aとの対応付け、および、データバス50A～57Aと回路60A～67Aとの対応付けは、半導体集積回路100の場合と同様であり、第1および第2のバンク10A, 30Aの各ブロックに含まれるメモリセルへのデータの入出力の方法も同じである。

【0043】半導体集積回路100Aのように128個の入出力が存在する集積回路においても、データバス群を複数の点で交差させることにより各交差点におけるデータバスの占有面積を小さくでき、パッドや入出力インターフェース回路等の回路帯を効率良く配置できる。

【0044】回路60～63, 60A～67Aは、パッドや入出力インターフェース等の回路帯から構成されると説明したが、これに限らず、回路60～63, 60A～67Aはロジック機能を有する回路から構成されていても良い。

【0045】半導体集積回路100, 100Aにおいては、データバスがバンクの4分の1の位置、およびバンクの8分の1の位置で交差する場合を示したが、これらに限らず、データバスは、バンクの16分の1の位置で交差しても良い。

【0046】このように、本発明の実施の形態1による構成に基づくと、データバスの占有面積を小さくできる。

【0047】〔実施の形態2〕図3を参照して、半導体集積回路100Bは、第1のバンク10と、第2のバンク30と、入出力回路70と、データバス80とを備える。入出力回路70は、第1および第2のバンク10, 30に含まれるメモリセルからのデータを選択的にデータバス80に出力し、また、データバス80からのデータを第1および第2のバンク10, 30に含まれるメモリセルに選択的に入力する。データバス80は、入出力回路70からのデータを入出力端子（図示せず）に伝達するとともに、入出力端子からのデータを入出力回路70へ入力する。

【0048】図4を参照して、入出力回路70は、ドライバ71と、増幅回路72と、バッファ73と、スイッチ74とを備える。ドライバ71は、増幅回路72からのデータをデータバス80へ出力する。増幅回路72は、スイッチ74からのデータを増幅し、ドライバ71へ入力する。バッファ73はデータバス80からのデータをスイッチ74に入力する。スイッチ74は、入出力線対75, 76からのデータを選択的に増幅回路72に入力するとともに、バッファ73からのデータを選択的に入出力線対75, 76に入力する。入出力線対75は第1のバンク10と接続され、入出力線対76は第2の

バンク30と接続されている。

【0049】第1および第2のバンク10、30に含まれるメモリセルにデータを書込む場合は、入出力端子から入力されたデータは、データバス80上を伝達してバッファ73へ入力される。そして、バッファ73は、入力したデータをスイッチ74へ与える。そうすると、スイッチ74は、第1のバンク10に含まれるメモリセルにデータを書込む場合は、データを入出力線対75へ与え、第2のバンク30に含まれるメモリセルにデータを書込む場合は、データを入出力線対76に与える。そして、入出力線対75にデータが与えられた場合は、第1のバンク10に含まれるメモリセルにデータが書込まれ、入出力線対76にデータが与えられた場合は、第2のバンク30に含まれるメモリセルにデータが書込まれる。

【0050】また、第1のバンク10に含まれるメモリセルからデータを読出す場合は、メモリセルから読出され、入出力線対75上を伝達して来たデータをスイッチ74が選択して増幅回路72に入力する。そして、データは、増幅回路72で増幅された後、ドライバ71によりデータバス80へ出力され、データバス80により入出力端子へ伝達されて外部へ出力される。第2のバンク30に含まれるメモリセルからデータを読出す場合は、メモリセルから読出され、入出力線対76上を伝達して来たデータをスイッチ74が選択する。その後は、第1のバンク10に含まれるメモリセルからデータを読出す場合と同じである。

【0051】再び、図3を参照して、入出力回路70は、第1のバンク10に含まれるメモリセルおよび第2のバンク30に含まれるメモリセルに選択的にデータを書込み/読出しを行なう。したがって、2つのバンクに含まれるメモリセルに選択的にデータを書込み/読出しを行なうための入出力回路は1個で良く、その1個の入出力回路に接続するデータバスは最小の本数にすることができる。

【0052】このように、本発明の実施の形態2による構成に基づくと、データバスと入出力回路とにより占められる面積を小さくできる。

【0053】〔実施の形態3〕図5を参照して、半導体集積回路200は、PRE信号発生回路110と、リードバスドライバ120、130、140、150、160、170と、電位上昇防止回路250、260、270、280とを備える。PRE信号発生回路110は、PRE信号を発生する。リードバスドライバ120は、入出力線対RD0、/RD0からのデータをデータバス対DB、/DBに出力し、リードバスドライバ130は、入出力線対RD1、/RD1からのデータをデータバス対DB、/DBに出力し、リードバスドライバ140は、入出力線対RD*i*、/RD*i*からのデータをデータバス対DB、/DBに出力する。また、リードバス

ドライバ150は、入出力線対RDA0、/RDA0からのデータをデータバス対DBA、/DBAに出力し、リードバスドライバ160は、入出力線対RDA1、/RDA1からのデータをデータバス対DBA、/DBAに出力し、リードバスドライバ170は、入出力線対RDA*i*、/RDA*i*からのデータをデータバス対DBA、/DBAに出力する。

【0054】電位上昇防止回路250、260はデータバス対DB、/DBの間に設けられ、データバス/DBの電位がデータバスDBAからのカップリングにより上昇するのを防止する回路である。また、電位上昇防止回路270、280はデータバス対DBA、/DBAの間に設けられ、データバス/DBAの電位が、データバス対DBA、/DBAに隣接するデータバス対（図示せず）からのカップリングにより上昇するのを防止する回路である。

【0055】リードバスドライバ120は、PチャネルMOSトランジスタ121、124と、NチャネルMOSトランジスタ122、125と、NORゲート123、126とを備える。入出力線対RD0、/RD0のうち、入出力線/RD0の信号はNORゲート123に入力され、入出力線RD0の信号はNORゲート126に輸入される。また、PRE信号は、NチャネルMOSトランジスタ122、125に輸入される。リードバスドライバ120は、L（論理ロー）レベルのPRE信号が輸入されると駆動し、NチャネルMOSトランジスタ122はオフされる。また、入出力線/RD0上の信号はLレベルの信号であるので、NORゲート123からはLレベルの信号が出力され、PチャネルMOSトランジスタ121がオンされる。そうすると、データバスDBはH（論理ハイ）レベルになる。一方、入出力線RD0上の信号はHレベルの信号であるので、NORゲート126からはHレベルの信号が出力され、PチャネルMOSトランジスタ124がオフされる。そうすると、データバス/DBはLレベルになる。リードバスドライバ130、140、150、160、170もリードバスドライバ120と同じ構成を有する。

【0056】また、電位上昇防止回路250は、データバス対DB、/DBの間に直列に接続された2つのNチャネルMOSトランジスタ251、252を備える。NチャネルMOSトランジスタ251のゲート端子はデータバス/DBに接続され、NチャネルMOSトランジスタ252のゲート端子はデータバスDBに接続される。そして、2つのNチャネルMOSトランジスタ251、252の間は接地電位である。リードバスドライバ120からデータが出力され、データバスDBがHレベルになると、NチャネルMOSトランジスタ252がオンされ、データバス/DBは接地電位になる。電位上昇防止回路260、270、280も電位上昇防止回路250と同じ構成である。

【0057】データバス対DB、/DBにはアンプ180と出力バッファ210とが接続され、データバス対DB、/DBのデータを増幅して端子230から出力する。また、データバス対DBA、/DBAにはアンプ190と出力バッファ220とが接続され、データバス対DBA、/DBAのデータを増幅して端子240から出力する。

【0058】PRE信号発生回路110から出力されるPRE信号は、入出力線対RDO、/RDO、RDI、/RDI、・・・、RDi、/RDiに接続されたリードバスドライバ120、130、140、および入出力線対RDA0、/RDA0、RDA1、/RDA1、・・・、RDAi、/RDAiに接続されたリードバスドライバ150、160、170を制御する。

【0059】図5および図6を参照して、入出力線対RDO、/RDO上のデータをデータバス対DB、/DBを介してアンプ180、および出力バッファ210へ転送する場合について説明する。時刻t0以前の待機状態ではRDO=/RDO=Hレベルになっており、時刻t0に入出力線RDOからHレベルのデータが出力されると、入出力線/RDOがLレベルになる。そして、時刻t1で複数のリードバスドライバ120、130、140、150、160、170を制御しているPRE信号がLレベルになると、データを出力する入出力線対RDO、/RDOに接続されたリードバスドライバ120のみが駆動され、それ以外のリードバスドライバ130、140、150、160、170はハイインピーダンスの状態になる。リードバスドライバ120が駆動すると、上述したようにデータバスDBがHレベルになり、データバス/DBがLレベルになる。

【0060】この場合、データバス対DB、/DBに隣接するデータバス対DBA、/DBAにデータが出力されており、データバスDBAがHレベルになっていると、データバス/DBの電位はデータバスDBAからのカップリングにより上昇する。すなわち、データバスDBの電位は図6の曲線k1のように上昇し、本来、低電位を保持するデータバス/DBの電位は図6の曲線k3のように上昇する。

【0061】しかし、データバス対DB、/DB間には電位上昇防止回路250が接続されているため、データバスDBがHレベルになると同時にNチャネルMOSトランジスタ252がオンされ、データバス/DBの電位を接地電位に固定しようとする。その結果、データバス/DBの電位は、図6の曲線k2のようになり、電位上昇防止回路250がない場合に比べてデータバス/DBの電位上昇を防止できる。その結果、データバス対DB、/DB間の電位差は大きくなり、カップリングノイズを大きく低減できる。データバス対DB、/DBに出力されたデータはアンプ180で増幅され、出力バッファ210を介して端子230から出力される。電位上昇

防止回路250は、データバス対DB、/DBがプリチャージされるときにオフされる。

【0062】したがって、実施の形態3によれば、データバスの間隔を狭くしてもカップリングによるノイズを抑えることができるので、データバスの占有面積を小さくすることができる。

【0063】リードバスドライバ130を介してデータバス対DB、/DBにデータを出力する場合には、電位上昇防止回路260が駆動され、リードバスドライバ150、160を介してデータバス対DBA、/DBAにデータを出力する場合には、それぞれ、電位上昇防止回路280、270が駆動される。したがって、各電位上昇防止回路250、260、270、280は、PRE信号がLレベルになるとともに、対応するリードバスドライバからデータが出力されたことにより駆動される。

【0064】データバス対DBA、/DBAに出力されたデータは、アンプ190で増幅され、出力バッファ220を介して端子240から出力される。電位上昇防止回路270、280は、データバス対DBA、/DBAがプリチャージされるときにオフされる。

【0065】[実施の形態4] 図7を参照して、データバス対300は、リードバスドライバ310、320、330を介して入出力線対RD、/RD上のデータを受け、その受けたデータをアンプ410へ伝達する。そして、データはアンプ410により増幅され、出力バッファ420を介して端子430から出力される。また、データバス対300には、リードバスドライバ310に対応して電位上昇防止回路350が設けられ、リードバスドライバ320に対応して電位上昇防止回路380が設けられ、リードバスドライバ330に対応して電位上昇防止回路400が設けられている。データバス対300には、データバス対301、302が隣接しており、データバス対301には、リードバスドライバ340、370が設けられ、データバス対302には、リードバスドライバ360、390が設けられている。

【0066】データがリードバスドライバ310、320、330を介してデータバス対300に出力される場合、隣接するデータバス対302からのカップリングノイズは実施の形態3で説明した方法により電位上昇防止回路350、380、400により抑えられる。また、データがリードバスドライバ(図示せず)を介してデータバス対301に出力される場合、隣接するデータバス対300からのカップリングノイズは実施の形態3で説明した方法により電位上昇防止回路340、370により抑えられる。さらに、データがリードバスドライバ(図示せず)を介してデータバス対302に出力される場合、隣接するデータバス対(図示せず)からのカップリングノイズは実施の形態3で説明した方法により電位上昇防止回路360、390により抑えられる。

【0067】このように、実施の形態4による構成に基

づくと、電位上昇防止回路を一定間隔でデータバス対に分散して配置することにより間隔が狭く、長いデータバス対を形成しても、隣接するデータバス対からのカップリングノイズを抑えることができ、データバス対の占有面積を小さくできる。

【0068】[実施の形態5] 図8を参照して、半導体集積回路500は、上述した半導体集積回路200に遅延回路509を追加し、電位上昇防止回路250、260、270、280を電位上昇防止回路510、520、530、540に変えたものである。

【0069】遅延回路509は、インバータ511を直列に奇数段接続して構成され、PRE信号発生回路110からのPRE信号を一定遅延させ、 \neg PRE信号を出力する。そして、出力された \neg PRE信号は電位上昇防止回路510、520、530、540に入力される。また、電位上昇防止回路510は、電位上昇防止回路250にNチャネルMOSトランジスタ253を追加したものであり、 \neg PRE信号によりNチャネルMOSトランジスタ253をオン/オフする。したがって、電位上昇防止回路510は、 \neg PRE信号により制御される。電位上昇防止回路520、530、540も電位上昇防止回路510と同じ構成を有する。

【0070】図5のデータバスDBがHレベルに移移する前に、隣接するデータバスDBAからデータバス/DBにHレベルのスパイクノイズが乗ると、電位上昇防止回路250、260のNチャネルMOSトランジスタ251が誤動作し、データバスDBがHレベルに移移するのを妨げる。これを防止するために半導体集積回路500では、 \neg PRE信号を用いて電位上昇防止回路510、520、530、540の駆動を制御する。すなわち、図9に示すようにPRE信号がHレベルからLレベルになってから一定時間Dだけ遅延したタイミングで \neg PRE信号をLレベルからHレベルにする。 \neg PRE信号がHレベルになると、NチャネルMOSトランジスタ253がオンされる。そして、データバス対DB、 \neg DBにデータが出力され、データバスDBがHレベルになるとNチャネルMOSトランジスタ252がオンされる。これにより、データバス/DBの電位が上昇するのを防止できる。なお、一定時間Dは、図6において電位上昇防止回路がない場合にデータバスDBとデータバス/ \neg DBとの電位差(曲線k1、k2参照)が50~100mVになる時間として決定される。

【0071】NチャネルMOSトランジスタ253がオフしていれば、電位上昇防止回路510は非活性な状態を保持するので、PRE信号がLレベルになり、 \neg PRE信号がHレベルになるまでの間、すなわち、一定時間Dの間にデータバス/ \neg DBにHレベルのスパイクノイズが乗っても電位上昇防止回路510が誤動作することがない。

【0072】したがって、実施の形態5による構成に基

づくと、隣接するデータバスからのスパイクノイズによる誤動作を防止しながら隣接するデータバスからのカップリングノイズを抑えることができる。その結果、間隔を狭くしてデータバス対を設けてもデータバス対の占有面積を小さくできる。

【0073】実施の形態5に関連して、特開平4-119590号公報には、2つのNチャネルMOSトランジスタを直列に接続したものを2組用い、一方の組のゲート端子を他方のデータバスに接続し、他方の組のゲート端子を一方のデータバスに接続して構成したラッチ回路(「フルラッチ」とも言う。)が記載されているが、本発明の実施の形態5で説明した電位上昇防止回路510、520、530、540は、2つのNチャネルMOSトランジスタを直列に接続したものを1組用いており

(「ハーフラッチ」とも言う。)、特開平4-119590号公報に記載されたラッチ回路とは異なるものである。すなわち、特開平4-119590号公報に記載されたフルラッチを用いた場合は、データバスに出力された信号の振幅が大きくなるが、本発明の実施の形態5で説明したハーフラッチを用いた場合はデータバスに出力されたデータの振幅を小さく保持できる点でハーフラッチはフルラッチと異なるものである。その結果、ハーフラッチは小さい振幅を保持したままノイズを除去できるという特開平4-119590号公報に記載されたフルラッチにはない顕著な効果を有する。

【0074】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0075】

【発明の効果】本発明による半導体集積回路は、複数のメモリセルを有し、独立に駆動できる第1および第2のバンクと、第1のバンクに含まれる複数のメモリセルにデータを書込み/読み出しを行なう第1の入出力回路と、第2のバンクに含まれる複数のメモリセルにデータを書込み/読み出しを行なう第2の入出力回路と、第1のバンクと第2のバンクとの間に配置され、第1および第2の入出力回路と接続されたデータバス群と、第1のバンクと第2のバンクとの間に配置され、データバス群とデータのやり取りを行なう複数の回路とを含み、データバス群は、複数の回路のうち隣接する2つの間で交差する構成を有するので、データバスの占有面積を小さくできる。

【図面の簡単な説明】

【図1】 第1の実施の形態による半導体集積回路の概略ブロック図である。

【図2】 第1の実施の形態による半導体集積回路の他の概略ブロック図である。

【図3】 第2の実施の形態による半導体集積回路の概略ブロック図である。

【図4】 図3の入出力回路の概略ブロック図である。

【図5】 第3の実施の形態による半導体集積回路の概略ブロック図である。

【図6】 入出力線対の電位、PRE信号、およびデータバス対の電位のタイミングチャート図である。

【図7】 第4の実施の形態による半導体集積回路の概略ブロック図である。

【図8】 第5の実施の形態による半導体集積回路の概略ブロック図である。

【図9】 PRE信号および/PRED信号のタイミングチャート図である。

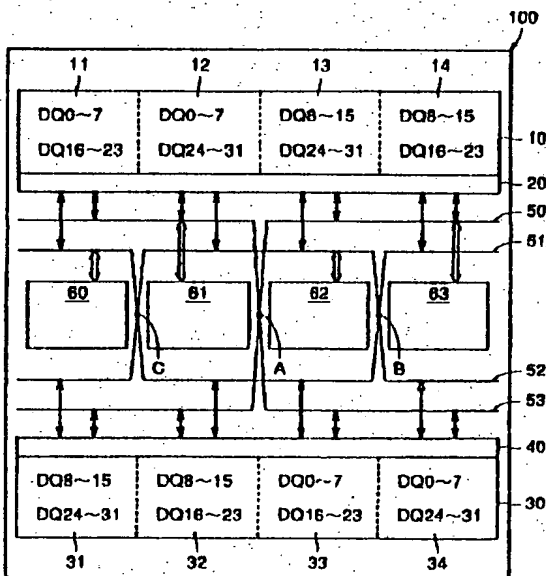
【図10】 従来の半導体集積回路の概略ブロック図である。

【符号の説明】

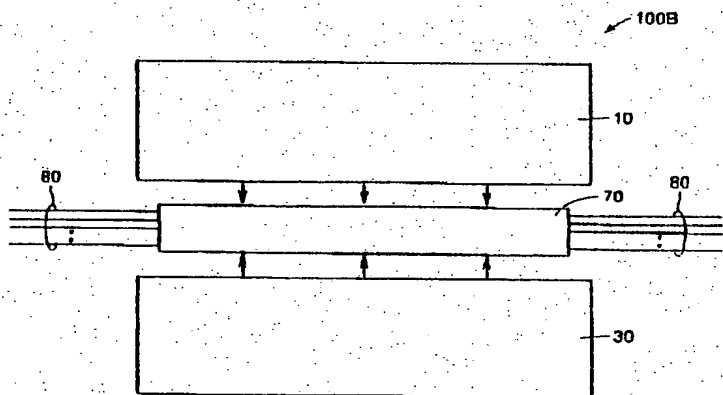
10, 10A, 30, 30A, 610, 650 バック、11~14, 11A~18A, 31~34, 31A~38A, 620, 630, 670, 680 ブロッ

ク、20, 20A, 40, 40A, 70 入出力回路、50~53, 50A~58A, 690, 700 データバス、60~63, 60A~67A, 710, 720 回路、71 ドライバ、72 増幅回路、73 バッファ、74 スイッチ、75, 76 入出力線対、80 データバス対、100, 100A, 100B, 200, 500, 600 半導体集積回路、110 PRE信号発生回路、120, 130, 140, 150, 160, 170, 310, 320, 330 リードバスドライバ、121, 124 PチャネルMOSトランジスタ、122, 125, 251, 252, 253 NチャネルMOSトランジスタ、123, 126 NORゲート、180, 190, 410 アンプ、210, 220, 420 バッファ、230, 240, 430 端子、250, 260, 270, 280, 340, 350, 360, 370, 380, 390, 400, 510, 520, 530, 540 電位上昇防止回路、300, 301, 302 データバス対、509 遅延回路、511 インバータ。

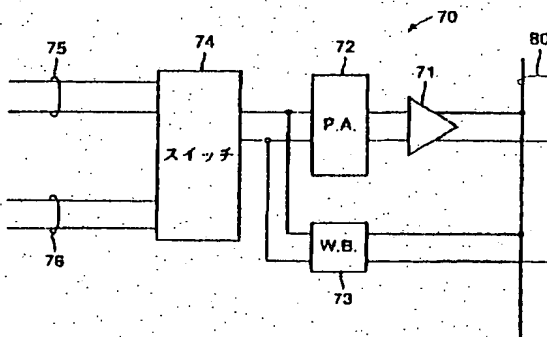
【図1】



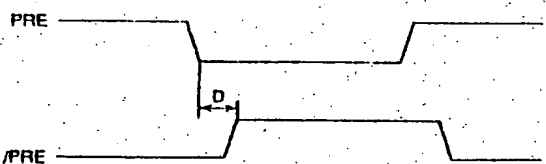
【図3】



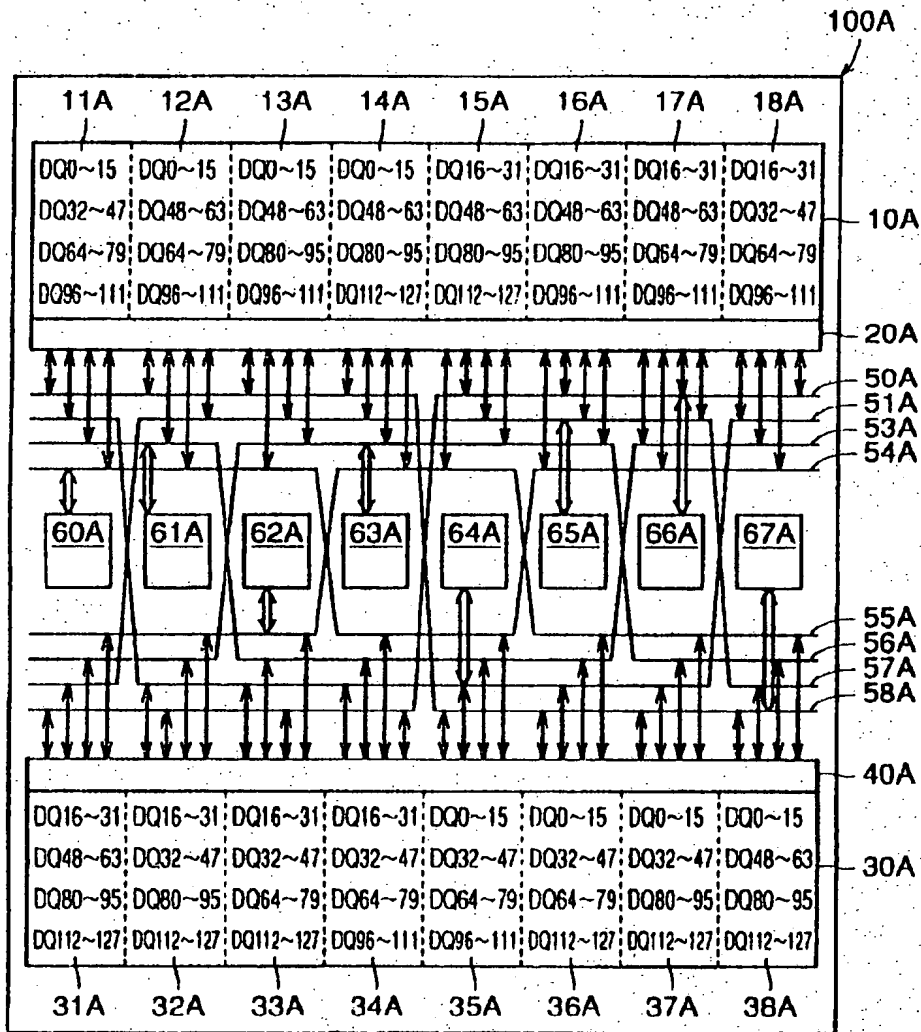
【図4】



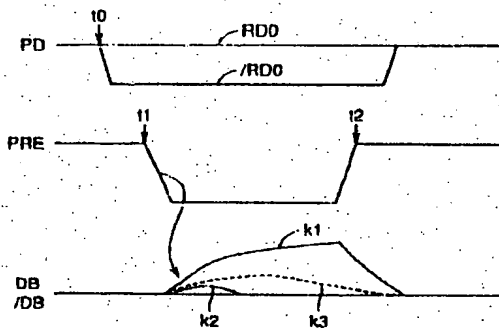
【図9】



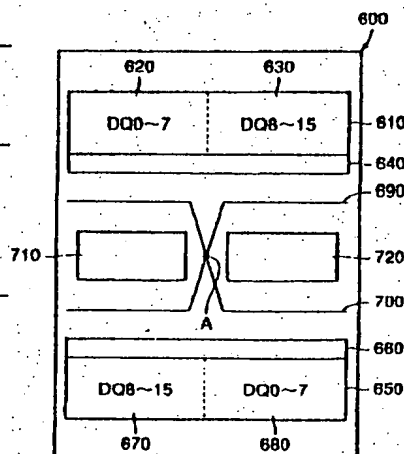
【図2】



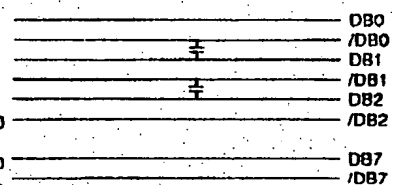
【図6】



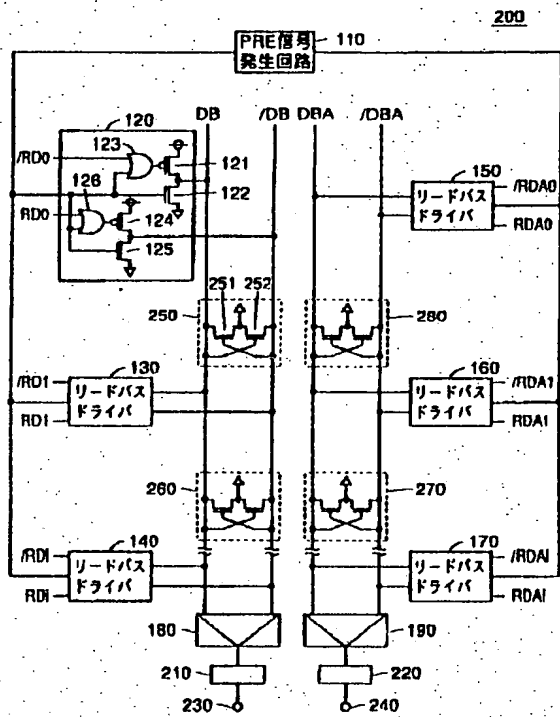
【図10】



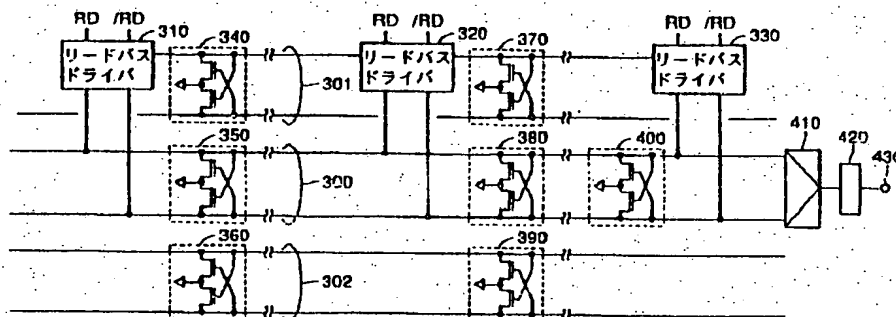
【図11】



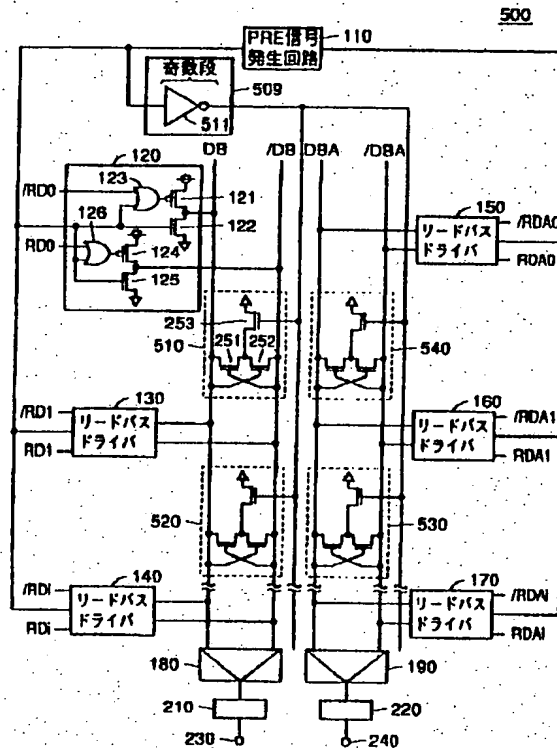
【图 5】



【图 7】



【図8】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 27/04
21/822

識別記号

F I

H 0 1 L 21/82
27/04

テーマコード* (参考)

W
D
F

Fターム(参考) 5B015 IIII01 IIII03 JJ12 JJ31 KB36
 KB91 PP01 PP02 QQ18
 5B024 AA07 BA21 BA23 BA29 CA16
 CA21
 5B025 AD04 AD05 AE08
 5F038 BG06 BII07 BII19 CD07 CD17
 DF12 EZ20
 5F064 BB12 BB23 BB40 EE03 EE15

BEST AVAILABLE COPY